This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-238734

(43)Date of publication of application : 31.08.1999

(51)Int.CI.

H01L 21/3205 H01L 23/34

(21)Application number: 10-039049

(71)Applicant : NEC CORP

(22)Date of filing:

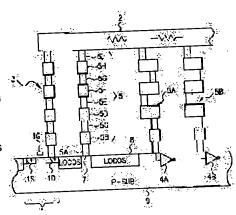
20.02.1998

(72)Inventor: KAZAMI TETSUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high reliability by suppressing the increase in the number of manufacturing processes and removing generated heat from wiring. SOLUTION: An electrically non-connected heat dissipating wiring 5 is provided, at a part where heat causes a trouble in a wiring 2 on a fifth layer (topmost layer), for dissipating the heat to a P-type silicon substrate 9 directly below. A P-N junction is formed at a part which is contact with the heat dissipating wiring of the silicon substrate. The heat dissipating wiring is provided, based on the magnitude of a current that flows in the wiring. The dissipating wiring is brought into contact with the silicon substrate, avoiding an oxide film formed on the surface of the silicon substrate.



LEGAL STATUS

[Date of request for examination]

20.02.1998

[Date of sending the examiner's decision of

24.10.2000

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出度公開各号

特開平11-238734

(43)公開日 平成11年(1989)8月31日

(51) Int.CL⁴ H 0 1 L 21/3205

23/34

織別配号

PI HO1L 21/88

S A

(21)出願番号

物類平10-39049

(71)出廢人 000004237

23/34

日本電気株式会社

(22)出版日

平成10年(1998) 2 月20日

東京都港区芝五丁目7番1号

(72) 発明者 風见 哲夫

東京都港区芝五丁目7番1号 日本電気株

式会社内

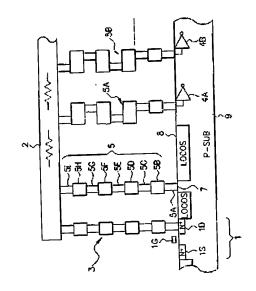
(74)代理人 弁理士 丸山 隆夫

(54) 【発明の名称】 半導体集積回路

(57)【要約】 (修正有)

【課題】 製造工数の増加を抑えつつ 配線の発熱を除去することで高い信頼性を実現する。

【解決手段】 5層目(最上層)の配線2で発熱が問題になる部分に、直下のP型シリコン基板9まで放熱を行うための電気的に非接続の放熱用配線5を設ける。また、シリコン基板の放熱用配線と接触する部分に、PN接合を形成する。また、放熱用配線は、配線に流れる電流の大きさに基づいて設けられる。また、放熱用配線は、シリコン基板表面に形成された酸化膜を避けて前記シリコン基板と接触する。



【特許請求の範囲】

【請求項 】】 多層配線構造を有する半導体集積回路に おいて、

所定の層に設けられた配線から前記所定の層の下層に位 置するシリコン基板に、電気的に非接続の状態の放熱用 配線を設けたことを特徴とする半導体集積回路。

【語求項2】 前記シリコン基板の前記放熱用配線と接 ・触する部分に、PN接台を形成する語求項 1 に記載の半 導体集積回路。

【語求項3】 前記放為用配線は、前記配線に流れる等 19 流の大きさに基づいて設けられる請求項1または2に記 載の半導体集積回路。

【語求項4】 前記放為用配線は、前記シリコン基板表 面に形成された酸化膜を避けて前記シリコン基板と接触 する請求項1.2または3に記載の半導体集請回路。

【請求項5】 前記所定の層は、最上層である請求項1 から4のいずれか1項に記載の半導体集積回路。

【請求項6】 前記下層に位置するシリコン基板は、最 下層に位置するシリコン基板である語求項1から5のい ずれか1項に記載の半導体集積回路。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、多層配線構造を有 する半導体集積回路に関し、 特に、上層に設けられた配 線での発熱を効率的に除去する半導体集補回路に関す

[0002]

【従来の技術】LSI内で回路が動作する際には、回路 が次段回路の容量負荷を駆動するための充放電電流が配 線を流れ、配線は自身が持つ抵抗により発熱する。これ 30 まで、半導体集積回路においては、動作回波数が100 MHz以下、配線が2~3層というのが主流であり、ト ランジスタの発熱が問題となりつつも、配線の発熱が問 題となることはあまりなかった。

【0003】ところが、最近では、LSIの微細矩工技 衛、回路、レイアウト設計技術等の発達に伴い。回路の 動作速度の高速化、高集積化、配線の多層化が急速に進 んできている。これにより、配線での発熱量も大きくな ってきている。

[0004]大きな発熱を伴う大消費電力のLSI実装 40 では、シリコン芸板の裏面側にヒートシンクと呼ばれる 放熱板等を接続し、この放熱板に風を吹き付けることで LSIの冷却を行うのが一般的である。即ちLSIの熱 の除去は、LSIの下側のシリコン墓板から大部分が行 われるようになっている。配線で発生した熱が象熱され る経路は、配線自体を伝わってシリコン基板に放熱する 経路と、層間膜を伝わって他の層のシリコン基板に放熱 する経路とがある。従って、上層の配線ほど下部のシリ コン蟇板との距離が大きくなるので熱が伝わり難くなっ ている。このため、特に、多層配線における上層の配線 59 【①013】更に、放熱用配線は、シリコン基板表面に

で起こる発熱による温度上昇が顕著になっている。

【0005】なお、回路の動作速度の高速化のために、 配線間の層間膜厚を厚くして配線容量を低下させようと する動向もあるが、層間膜厚を厚くすると、上層配線と シリコン基板間の距離がより遠くなることになる。この ため、そのような対策をとると、配線の発熱による温度 上昇を促進することになる。

2

[0006] 配線の温度が高くなると、エレクトロマイ グレーションによる配線の断列等が起こりやすくなり、 信頼性が低下する。一般に、エレクトロマイグレーショ ンによる配線の劣化は、温度が高くなるほど指数的に起 こりやすくなる。このため、配線の温度の上昇を回避さ せることが強く要請されるようになってきている。な お、配線の温度の上昇については、例えば、ある条件下 での5層配線構造において、各層の配線に電流密度 J が 5×10° A/cm² 程度の電流を流した場合。配線自 体の発熱によって配線の温度が9 (**)程度上昇するとい ろ実験データも報告されている。

【0007】そこで、このような不具合を解決するもの として、例えば、特闘平9-129725号公報に関示 20 されるような半導体集積回路がある。この従来の半導体 集積回路では、上層の配線から下層の配線まで専用のダ ミーの貫通孔を設け、このダミーの貫通孔に熱伝導率の 高い絶縁物質を充填することにより、効率よく放熱する よろにしている。

[0008]

【発明が解決しようとする課題】しかしながら、従来の 半導体集補回路では、ダミーホールのような構成をとる ために、所望の回路を構成する配線の製造工程に加え て、放熱のためのダミーホールを形成したり、このダミ ーホールに熱圧導率の高い絶縁物質を充填するといった 専用の工程が必要となるため、製造工数が増加し、製造

コスト等が上昇するという問題がある。 【①①①3】従って、本発明の目的は、製造工験の増加 を抑えつつ、配線の発熱を除去することで高い信頼性を 実現できる半導体集積回路を提供できるようにすること にある。

[0010]

【課題を解決するための手段】本発明は、上記目的を達 成するため、多層配線構造を有する半導体集構回路にお いて、所定の層に設けられた配線から所定の層の下層に 位置するシリコン基板に、電気的に非接続の状態の放熱 用配線を設けたことを特徴とする半導体集積回路を提供 するものである。

【① ① 1 1】以上の構成において、シリコン基板の放熱 用配線と接触する部分に PN接合を形成することが望 ましい。

【①①12】また、放熱用配線は、配線に流れる電流の 大きさに基づいて設けられることが望ましい。

3

形成された酸化漿を避けてシリコン基板と接触すること が望ましい。

【0014】更に、また、所定の層は、最上層であるこ とが望ましい。

【0015】また、下層に位置するシリコン基板は、最 下層に位置するシリコン墓板であることが望ましい。 100161

【発明の実施の形態】以下、本発明の実施の形態による 半導体集績回路について図面を参照して詳細に説明す

』 [第1の実施の形態]図1は、本発明の第1の実施の形 **施による半導体集積回路の構成を示す断面図である。図** 1において、1はNチャンネルのトランジスタ、1Dは トランジスタ1のドレイン。1 Gはトランジスタ1のゲ ート、1 Sはトランジスタ1のソースである。2 は5 層 目(最上層)に設けられた着目する配線、3はトランジ スタ1から配線2に信号を供給する1層~4層配線、4 A、4B・・・は配線2からの信号を入力するゲート、 6A、6B・・・は5層上の配線2からの信号をゲート 4 A、4 B・・・ヘ分岐させて供給する配線である。5 は配線2から直下の最下層に位置するP型シリコン基板 9に放熱用に設けた放熱用配線である。

【0017】放熱用配線5は、コンタクト5A、1層配 銀5 B、1 - 2層スルーホール5 C、2層配線5 D、2 - 3層スルーホール5 B. 3層配線5 F. 3 - 4層スル ーホール5G、4層配線5H、4-5層スルーホール5 「からなり、これらは他の配線を形成する工程と同じ製 造工程で形成することができる。このため、放熱用配線 5を形成するための工数の増加が回避され、製造コスト の上昇が抑えられるようになっている。

【0018】P型シリコン墓板9のトランジスタ1が形 成されていない部分の表面には、LOCOS (Local Ox idation of Silicon)と呼ぶ厚いフィールド酸化膜8が 設けられる。本実施の影態では、P型シリコン基板9上 のコンタクト5 Aが接触(接続)する接触部7にはこの フィールド酸化膜(LOCOS)8を設けずにP型シリ コン基板 9 をそのまま露出させている。

【0019】図2は、一般的なCMOS回路が形成され た場合のP型シリコン基版9の構成を示す断面図であ る。同図(a)はNチャネル型のトランジスタが形成さ 40 れた領域の拡大図、同図(b)はPチャネル型のトラン シスタが形成された領域の拡大図である。

【0020】図に示すよろに、Nチャネルトランジスタ はP型シリコン基板9にソース、或いはドレインとなる N型鉱散部(N型の不純物が拡散された領域)11、及 びゲート12を形成させて作製されている。また、P型 シリコン基板9には、基板電位を供給するために、高濃 度のP型拡散部(P型の不純物が拡散された領域)13 が形成され、この高濃度のP型拡散部13にコンタクト 19を通じて上層の配線から基板電位が供給されるよう 50 【0025】このように、5層目(最上層)の配線2で

になっている。

【① 021】他方のPチャネルトランジスタはNウェル 17内にソース、或いはドレインとなるP型拡散部1 5. 及びゲート16を形成させて作製されている。ま た。Nウェル17内には、電位の供給用に、高濃度のN 型拡散部18が形成され、この高濃度のN型拡散部18 にコンタクト20を通じて上層の配線からNウェル電位 が供給されるようになっている。

【0022】ととで、P型シリコン墓板9上に高濃度の 19 P型拡散部13を形成し、Nウェル17内に高濃度のN 型拡散部 1 8 を形成するのは、P型シリコン基板 9 とコ ンタクト19の間およびNウェル17とコンタクト20 の間のオーミック接触を得るためである。また、P型シ リコン基板9上に、NチャネルMOSトランジスタ,P チャネルMOSトランジスタ,基板電位およびNウェル 電位が供給される部分は、フィールド酸化膜8が除去さ れている。なお、図2(a), (b) において、14は ソース/ドレイン11, 15なろびにゲート12, 16 用のコンタクトである。

【0023】図3は、放熱用配線5とP型シリコン基板 9とが接する接触部7の拡大図である。図に示すよう に、放熱用配線5のコンタクト5AとP型シリコン基板 9とが接する接触部7にフィールド酸化膜(LOCO S) 8を設けないことで、不絶物が低濃度の部分がコン タクト5Aと接触する。このため、それらの接触部7で はオーミック接触とはならずに高抵抗となり、電気的に は非接触で熱伝導的には接触の状態となる。これによ り、配線2を流れる信号には電気的な影響をほとんど与 えることなく、配線2から発生した熱が除去されるよう になっている。

【①①24】以上の構成において、配線2で発生した熱 除去について詳細に説明する。出力回路用トランジスタ 1のドレイン1 Dからゲート4 A,4 B・・・へは、配 線3→配線2→配線6A、6B・・・を介して信号が伝 えられる。この時に各配線には入力ゲート容置および配 線容量を充放電するためのAC電流が流れる。 とのAC 電流は、トランジスタ1から最初の負荷ゲート4Aへの 配線6Aまでの間が最大となり、負荷ゲート4A、4B ・・・と信号が流れる経路が分岐していくに従って減少 していく。そこで、本実施の形態では、5層目(最上 層)の配線2の負荷電流による自己発熱が最も大きくな る部分に、通常の配線およびスルーホールの製造工程と 同じ工程で、5層目の配線2の直下のP型シリコン基板 9まで貧運する放熱用配線5を設けている。放熱用配線 5がP型シリコン基板9に接する接触部7は、フィール F酸化膜(LOCOS)8を取り除いておく。これによ って、コンタクト5AがP型シリコン蟇板9と直接に接 するのでフィールド酸化膜(LOCOS)8を介するよ りも熱伝導効率を向上させている。

5

発生した熱は、この放熱用配銀5から、直下のP型シリコン基板9に直接伝わるので、熱が特に放熱され難い配銀の局所的な温度上昇を抑えることができる。

【0026】一般的に配線、スルーホールおよび層間絶 縁瞬として使用している。アルミニウム (AL) 配線、 タングステン (W) スルーホール、SiO, 層間瞭 (L OCOS) およびシリコン (Si) 墓板の熱伝導率 (単 位: W・m−1・K−1) は、以下に示す通りである。

Si 168

AL 236

w 177

SiO, 1.4

[0027] これらの数値から明らかなように、たとえ 放熱用配線5の全てがアルミニウムよりも熱伝導率の低 いタングステンで形成したとして仮定しても、SiO、 層間膜とWスルーホールの面積当たりの熱伝導率は10 0倍以上の差がある。このため、SiO、層間膜を設け ないようにすることで、放熱効率を大きく改善させるこ とができる。

[0028] [第2の実施の形態]第2の実施の形態は、P型シリコン基板9が放熱用配線5のコンタクト5 Aと接する接触部7に、Nチャネルトランジスタを作る工程と同様にして、N型の不純物を拡散させてN型の領域(N型拡散部)10を形成させてPN接合を構成させた場合の例である。第1の実施の形態から異なる部分のみ説明する。

[0029] 図4は、本発明の第2の実施の形態における放制用配線5とP型シリコン基板9とが接する接触部7の拡大図である。P型シリコン基板9は、一般的なCMO S回路として使用する場合にはグランド電位が与えられているので、このPN接合部はトランジスターから4A、4B・・・への信号がブラスの電位である限りは順方向とはなりえず、電気的には5層目(最上層)の配線2とP型シリコン基板9間はこのPN接合の容量は、非常にからをなる。またこのPN接合の接合容量は、非常にいたをして構成できるため、本来の回路動作を行うら回目(最上層)の配線2の負荷容置としては無視できるレベルである。従って、動作上の性能低下等を発生させるととなく、5層目(最上層)の配線2で発生した熱をP型シリコン基板9に伝えることができる。

[0030]以上は、上層の配線のみに着目して説明したが、下層の配線においても本裏施の形態と同様に、放熱用配線を設けてシリコン基板に接触させることにより、その配線の発熱を直接より下層に位置するシリコン基板に伝えるようにしてもよい。

【① ① 3 1】更に、以上はP型シリコン基板にCMOS回路の構成例をあげて説明したが、N型のシリコン基板を用いる場合や、CMOS回路以外の、例えば、ECL(Enitter-Coupled Logic)回路等の構成においても、同様の効果を得ることができる。

[0032]

【発明の効果】以上説明したように、本発明の半導体集 議回路によれば、所定の層に設けられた配譲からこの所 定の層の下層に位置するシリコン基板に、電気的に非接 続の状態の放熱用配線を設けるようにしたので、高速で 動作する半導体集績回路の、上層の配線で発生する発熱 を、シリコン差板に効率よく放熱することができる。こ ればより、配線のエレクトロマイグレーションによる配 銀劣化が抑えられ、信頼性を向上させることができる。。

6

10 【0033】また、放放に配線を利用するため、それを 形成するための特別な工程が不要となり、製造工数の増 加が回避されることによって製造コストの上昇も抑える とたができる。

【図面の簡単な説明】

【図1】第1の実施の形態による半導体集績回路の構成 を示す断面図である。

【図2】一般的なCMOS回路が形成された場合のシリコン基板の機成を示す筋面図である。

【図3】第1の実施の形態における放熱用配線とシリコン基板が接する接続部の拡大図である。

【図4】第2の実施の形態における放熱用配線とシリコン基板とが接する接続部の拡大図である。

【符号の説明】

1 出力回路を構成するNチャネル型MOSトランジスタ

1G 出力回路のゲート

18 出力回路のソース

10 出力回路のドレイン

2 5厘目(最上層)の配線

3 1層目から4層目までの配線

4 A、4 B 出力回路1の信号を受けるゲート

5 放熱用配線

5A コンタクト

5 B 1 層目の配線

50 1-2層のスルーホール

50 2層目の配線

5日 2-3層のスルーホール

5 F 3層目の配線

5G 3-4層のスルーホール

49 5 H 4.層目の配線

5 I 4-5層のスルーホール

6A.6B 1層目から4層目までの配線

7 接触部

8 フィールド酸化膜(LOCOS)

g P型シリコン基板

11 N型拡散部(Nチャネル型MOSトランジスタの ソース、ドレイン)

12 Nチャネル型MOSトランジスタのゲート

13 P型拡散部

50 14 コンタクト

特闘平11-238734

* 18 N型拡散部 15 P型拡散部(Pチャネル型MOSトランジスタの 19 コンタクト 20 コンタクト

16 Pチャネル型MOSトランジスタのゲート

17 Nウェル

